

PAT-NO: JP406069989A

DOCUMENT-IDENTIFIER: JP 06069989 A

TITLE: RETURNING CIRCUIT FOR BIT STREAM DATA

PUBN-DATE: March 11, 1994

INVENTOR-INFORMATION:

NAME

NAWA, TOSHIHIKO

WATANABE, HIROAKI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP04220226

APPL-DATE: August 19, 1992

INT-CL (IPC): H04L029/14, H04L007/00 , H04N007/15

ABSTRACT:

PURPOSE: To attain speed conversion at a common timing and to attain shared returning of each rate by reading and returning bit stream data written in a memory after a prescribed period of time from a writing time regardless of a data rate.

CONSTITUTION: The circuit is provided with a memory 1 writing received bit stream data, a decoder 2 decoding data rate information of the bit stream signal, and a delay means 3 receiving decoded data, and reading and reflecting the bit stream data written in the memory 1 after a prescribed period of time from the write time independently of a data rate. In this case, phases

(**delays**) of the bit stream **data to be returned are aligned** and the speed conversion on a transmitter side is attained at a common timing and the shared returning of each rate is realized. That is, a load value of a frame counter 3 is set to a value corresponding to the data rate to coincide the phases of returned data.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-69989

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/14		7928-5K		
	7/00			
H 0 4 N 7/15		8943-5C		
		8020-5K	H 0 4 L 13/ 00	3 1 5 A

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号 特願平4-220226

(22)出願日 平成4年(1992)8月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 那和 利彦

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(72)発明者 渡辺 裕明

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

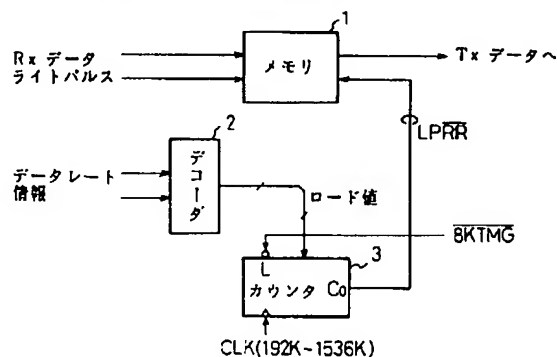
(54)【発明の名称】 ビットストリームデータの折り返し回路

(57)【要約】

【目的】 本発明はTV会議システム等のビットストリーム信号を扱う装置のインタフェース部においてデータ折り返しを行うビットストリーム折り返し回路に関し、各データレートに共通の折り返し回路を用い、ハードウェアの規模の大きな増大もなく、データレートに対応した折り返しを実現可能にすることを目的とする。

【構成】 受信したビットストリームデータを書き込むメモリ1とビットストリーム信号のデータレート情報をデコードするデコーダ2と、デコードデータを受けメモリ1へ書き込まれたビットストリームデータをデータレートにかかわらず書き込み時刻から一定時間の後に読み出し折り返す遅延手段3を具備するよう構成する。

本発明の第1の形態を説明するブロック図



1

## 【特許請求の範囲】

【請求項1】 DCEインタフェース装置を用いて通信するビットストリームデータの折り返し回路であって、受信したビットストリームデータを書き込むメモリ

(1)と、該ビットストリーム信号のデータレート情報をデコードするデコーダ(2)と、該デコードデータを受け該メモリ(1)へ書き込まれたビットストリームデータをデータレートにかかわらず書き込み時刻から一定時間の後に読み出し折り返す遅延手段(3)を具備するビットストリームデータの折り返し回路。

【請求項2】 該遅延手段(3)は該デコーダ(2)からのビットストリームデータのデータレートを示すデコードデータを受け、該デコードデータに対応してクロック信号を選択し、該メモリ(1)の書き込み信号でクリアされるカウンタである請求項1のビットストリームデータの折り返し回路。

【請求項3】 DCEインタフェース装置を用いて通信するビットストリーム信号の折り返し回路であって、受信したビットストリームデータを受けるプログラマブルシフトレジスタ(1')と該ビットストリームのデータのデータレート情報をデコードするデコーダ(2)とを具備し、

該デコーダ(2)の出力に応じて該プログラマブルシフトレジスタ(1')のシフト時間を制御し、該ビットストリームのデータのデータレートに対応した遅延量を該プログラマブルシフトレジスタ(1')のシフト段数として与えるようにしたビットストリームデータの折り返し回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】TV(テレビジョン)会議システム等のビットストリーム信号を扱う装置のインタフェース部においてデータ折り返しを行うビットストリーム折り返し回路に関する。

## 【0002】

【従来の技術】図14にDCE(Data Circuit-terminating Equipment)インタフェース装置が示される。図14の装置において、保守および試験を行うため、受信(Rx)データを送信(Tx)データへ折返すことがある。通常のDCEインタフェース装置で取扱う信号はタイムスロットを有し、各レートに応じて図15のようなスロットへデータを挿入している(斜線部)。この場合の折り返しは図14に示す通りの回路となり、Rxデータを書き込むスタティックメモリ11、Rx側の書き込みパルス生成部12、およびTx側への読み出しパルス生成部13の構成により実現していた。これにより図16のタイムチャートに示すように、各レートに対して折り返すことが可能であった。図においてFAはフレームアライナを示す。

【0003】このようなDCEインタフェース装置を用

2

いてTV会議システム等のビットストリームデータを扱った場合、図17に示す装置となり、図18に示すように、網側のフレームデータより各レートに応じて連続信号に伸長して扱う場合が多い。このような装置の場合、各レートにおいて、同一のタイミングで網側より各レートへ速度変換(伸長/圧縮)を行った時、各レートに対して、折り返しデータの遅延量が異なってくるため(図19参照)、折り返しを実現するのが困難であった。

## 【0004】

10 【発明が解決しようとする課題】上述のように、ビットストリームデータを扱う場合、各レートについて、折り返しデータの遅延量が異なってくるため、各レートに対して共通化した折り返し回路の実現が困難であった。これは、図19に示すように、Rxデータ速度変換部から共通のタイミングで読み出したデータは、各レートごとに位相が異なるため、これをTx側の伝送フレームに折り返すにはTx側のタイミングに合わせ込む必要があり、折り返し回路が必要になる。本発明は、折り返し回路において、各レートで異なるデータ位相(遅延量)を共通の回路によって調整し、Tx側で共通のタイミングに合わせ込む回路を提供し、上記の問題を解決しようとするものである。

【0005】従って、本発明の目的は、各データレートに共通の折り返し回路を用い、ハードウェアの規模の大きな増大もなく、各データレートに対応した折り返しを実現可能にすることにある。

## 【0006】

【課題を解決するための手段】本発明の第1の形態においては、図1に示されるように、DCEインタフェース装置を用いて通信するビットストリームデータの折り返し回路であって、受信したビットストリームデータを書き込むメモリ1と、ビットストリーム信号のデータレート情報をデコードするデコーダ2とデコードデータを受けメモリ1へ書き込まれたビットストリームデータをデータレートにかかわらず書き込み時刻から一定時間の後に読み出し折り返す遅延手段3を具備するビットストリームデータの折り返し回路が提供される。

40 【0007】本発明の第2の形態においては、図2に示されるように、DCEインタフェース装置を用いて通信するビットストリーム信号の折り返し回路であって、受信したビットストリームデータを受けるプログラマブルシフトレジスタ1'とビットストリームのデータのデータレート情報をデコードするデコーダ2とを具備し、デコーダ2の出力に応じてプログラマブルシフトレジスタ1'のシフト時間を制御し、ビットストリームのデータのデータレートに対応した遅延量をプログラマブルシフトレジスタ1'のシフト段数として与えるようにしたビットストリームデータの折り返し回路が提供される。

## 【0008】

50 【作用】上述の回路を用いれば、折り返すべきビットス

トリームデータの位相(遅延量)が揃えられ、共通のタイミングでTx側の速度変換が可能になり、各レート共通の折り返しが実現できる。すなわち、図3に示されるように、上記折り返しデータの位相を揃えるため、折り返す側(Tx)のフレームをレート対応で揃えるよう、折り返し回路の読み出し側において、本発明の第1の形態においては、フレームカウンタ3のロード値をデータレートに対応した値にし、図3のタイムチャートのように折り返しデータの位相を合わせることができる。

【0009】また図2の回路を用いれば、各レートに対応した遅延量を、それぞれプログラブルシフトレジスタのシフト段数として与えることにより遅延量が一致した折り返しが可能となる。

【0010】

【実施例】本発明の第1実施例としてのビットストリームデータの折り返し回路の回路図が図4に示される。この回路は256ビット格納可能なエラスティックメモリ(256ES)21とデコーダ22およびフレームカウンタ23および24を具備する。Rxデータ(E)はエラスティックメモリ21の入力端子(DI)に供給され、出力はDO端子よりTxループデータとして送出される。ここに( )を付して記入された記号は図6から図13の波形に付した記号と対応する。

【0011】デコーダ22はデータレートに対応する記号00~11を受けて変換し、1536kbpsのレートの場合B<sub>H</sub>(16進表示)をカウンタ23および24に設定し、768kbpsのレートの場合5<sub>H</sub>、384kbpsのレートの場合2<sub>H</sub>、192kbpsの場合1<sub>3H</sub>にそれぞれカウンタを設定する。カウンタはクロックCLK(192kbps~1536kbps)により加算され、FF<sub>H</sub>に達した時、カウンタ24のC<sub>0</sub>端子からLP<sub>RR</sub>(ループのリードリセット)信号をエラスティックメモリ21の<sub>RR</sub>端子へ供給する。そして図3に記載されたようにTxループデータの位相がそろえられる。ここに<sub>RR</sub>はRR部分の上にバーを付してあることを示す。

【0012】上述の態様は図6から図13のそれぞれのデータレートにおける実施例の回路の波形図に示されている。この波形図は(左)(右)の2つの図で1つの波形図を構成している。すなわち、図6と図7でレート192kbpsの場合、図8と図9でレート384kbpsの場合、図10と図11でレート768kbpsの場合、図12と図13で1536kbpsの場合を示す。図の左端に記した記号は図4または図17に記入された記号と対応する。

【0013】本発明の第2実施例の回路が図5に示される。この回路はプログラブルシフトレジスタ(PSR)41およびデコーダ42を具備する。デコーダに関しては図4の回路とほぼ同様である。デコーダの出力はPSRのシフトの段数をそれぞれ与えることにより、図

4のカウンタおよびエラスティックメモリと同様の機能を行う。

【0014】次に、第1実施例と第2実施例に共通する動作について、回路図図4および図17、波形図図6~図13を用いて説明する。網側より受信したRxデータはフレーム同期確立後、フレームアライナ部でシステムクロックへ乗り換える。システムクロックへ乗り換えたRxデータフレーム(b)は、速度変換部のエラスティックメモリ(c)の<sub>WR</sub>信号で書き込まれる。波形(E)では、連続データとなるが、例えば192kbpsの場合、図6、図7の波形図の(d)の<sub>RR</sub>により読み出される。この<sub>RR</sub>信号(d)は、図17のレートデータカウンタのハードウェアの削減のため、Tx側の速度変換部への書き込み信号<sub>WR</sub>(I)と共通の信号である。信号(d)により読み出されたデータはエラスティックメモリの内部遅延により5クロック遅れて出力される(E)。ここに<sub>WR</sub>はWRの上にバーを付したものを示す。

【0015】データをループさせる時、このデータ(E)は図6、図7の信号(F)によって、図4の折り返し回路のエラスティックメモリ21へ書き込まれる。この折り返すデータをTx側へ折り返す場合、Tx側の速度変換部へ書き込む<sub>WR</sub>(I)のタイミングに折り返しデータを合わせる必要がある。<sub>WR</sub>(I)のタイミングで折り返しデータ(H)を折り返し回路から出力させるには、図6、図7の信号(G)のタイミングで折り返し回路のエラスティックメモリ21より読み出せばよい。この信号(G)のタイミングを作成しているのが図4のカウンタ23、24である。カウンタ23、24は外部から与えられる<sub>8KTMG</sub>(M)を基準に動作し、あらかじめ設定されたデータレートに対して、信号(G)の位相を、図4のデコーダ22によりデコードしたデータを<sub>8KTMG</sub>(M)でカウンタ23、24にロードすることで決定することができる。すなわち、データレートが異なってもハードウェアの構成を変えることなく図6~図13の各レートのビットストリームデータの折り返しに適用できる。ここに<sub>8KTMG</sub>は8KTMGの上にバーを付したものを示す。

【0016】

【発明の効果】本発明によれば、各データレートに共通の折り返し回路を用い、ハードウェアの規模の大きな増大もなく、各データレートに対応した折り返しを行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の形態を説明するブロック図である。

【図2】本発明の第2の形態を説明するブロック図である。

【図3】本発明の回路の信号のタイムチャートを示す図である。

5

【図4】本発明の第1実施例の回路図である。

【図5】本発明の第2実施例の回路図である。

【図6】データレート192 kbpsの時の実施例の回路の波形図（左）である。

【図7】図6と同様な波形図（右）である。

【図8】データレート384 kbpsの時の実施例の回路の波形図（左）である。

【図9】図8と同様な波形図（右）である。

【図10】データレート768kbpsの時の実施例の回路の波形図（左）である。

【図11】図10と同様な波形図（右）である。

【図12】データレート1536kbpsの時の実施例の回路の波形図(左)である。

【図13】図12と同様な波形図（右）である。

【図14】従来型のDCEインタフェース装置のブロック図である。

【図15】タイムスロットを説明する図である。

【図16】受信から送信への折り返し回路のタイムチャートを示す図である。

【図17】ビットストリームを扱うDCEインターフェース 20

6

ス装置のブロック図である。

【図18】ビットストリームデータのタイムチャートを示す図である。

【図19】従来型のビットストリーム折り返し回路のタイムチャートを示す図である。

【符号の説明】

1…メモリ

1' ...プログラマブルシフトレジスタ

2…デコーダ

10 3…カウンタ

## 1 1…スタティックメモリ

1 2…書き込みパルス生成部

13…読み出しパルス生成部

## 21…エラスティックメモリ

22…デコーダ

23…カウンタ

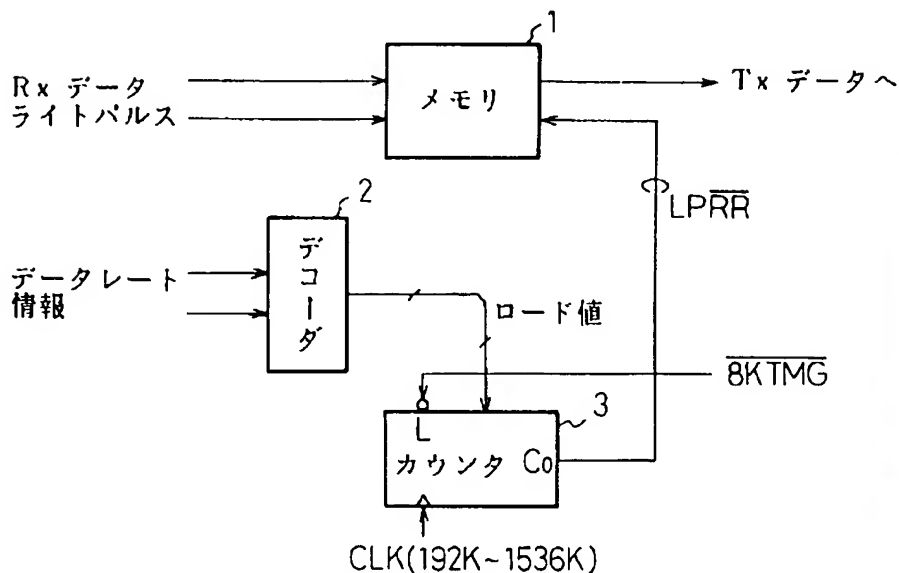
24…カウンタ

#### 4 1…プログラマブルシフトレジスタ

42…デコーダ

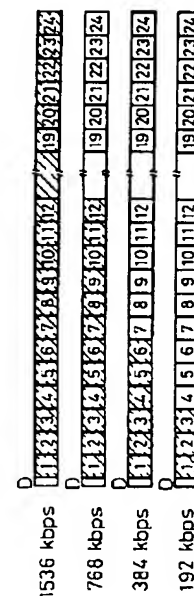
【図1】

### 本発明の第１の形態を説明するブロック図

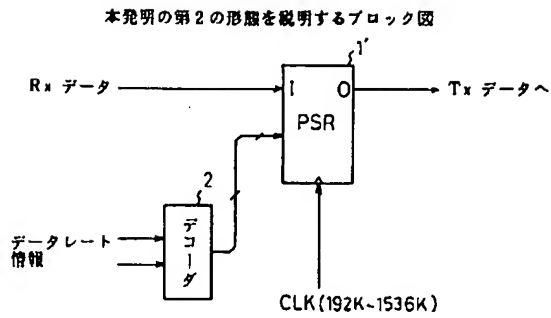


【図 15】

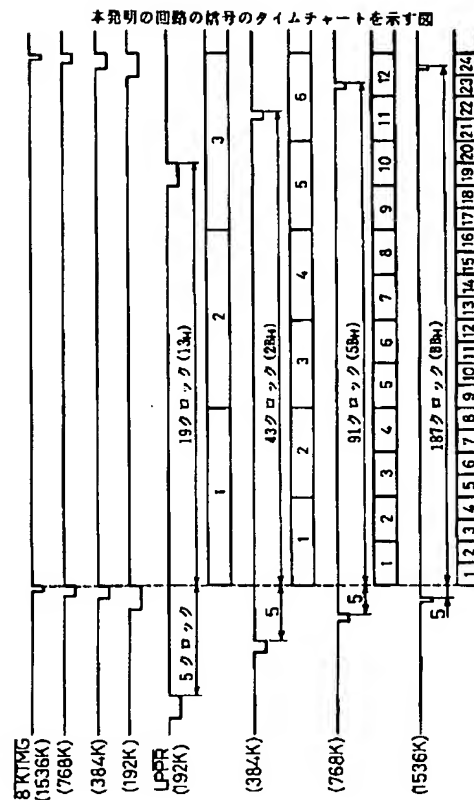
タイムスロットを説明する図



【図2】

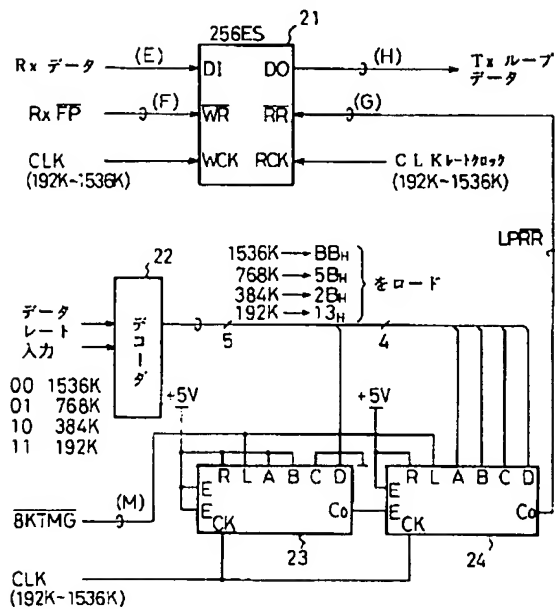


【図3】



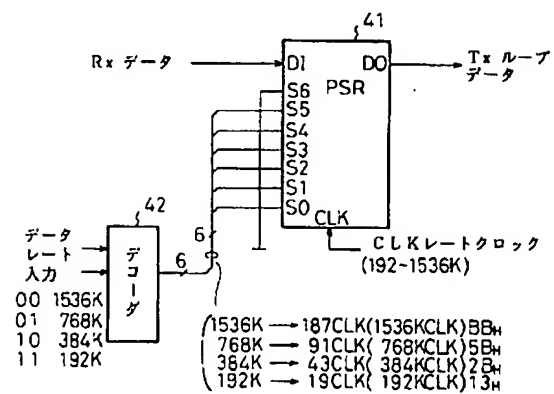
【図4】

本発明の第1実施例の回路図



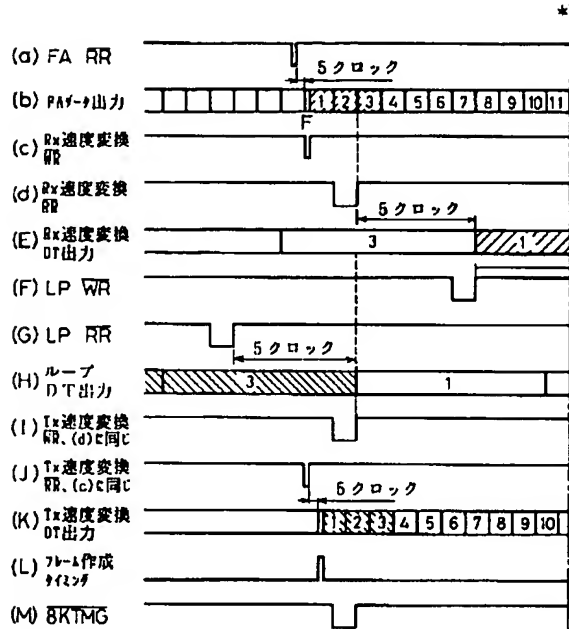
【図5】

第2実施例の回路図



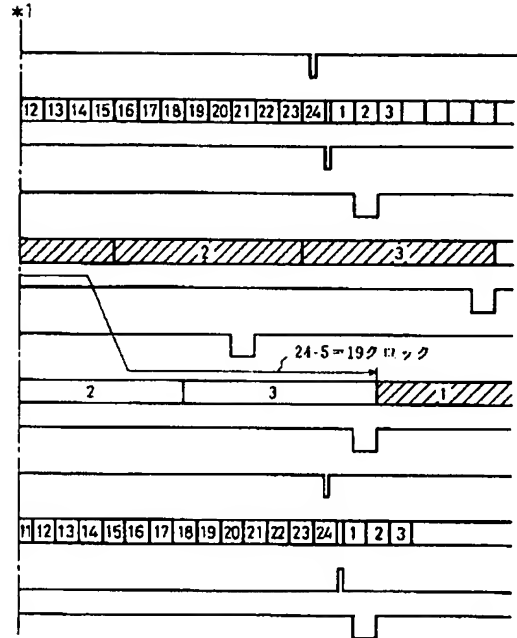
【図6】

データレート192kbpsの時の実施例の回路の波形成図(左)



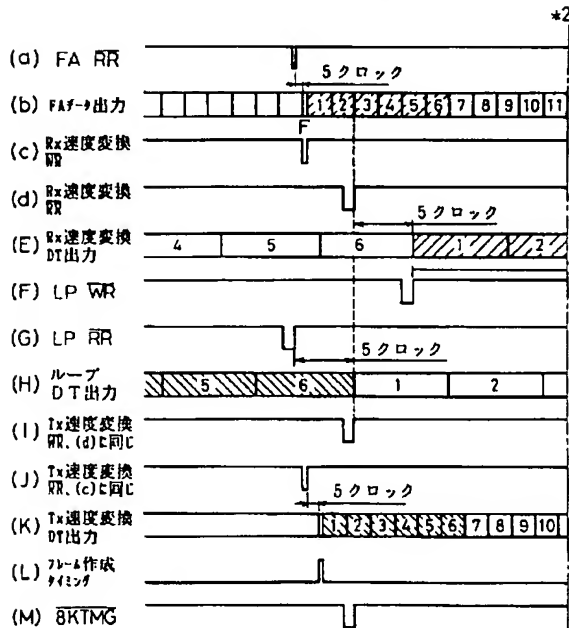
【図7】

データレート192kbpsの時の実施例の回路の波形成図(右)



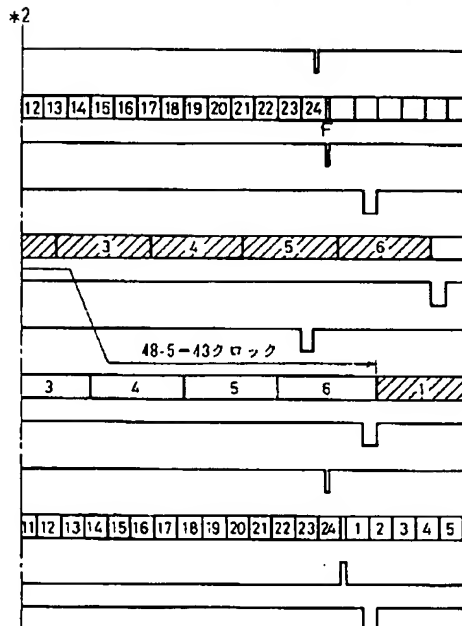
【図8】

データレート384kbpsの時の実施例の回路の波形成図(左)



【図9】

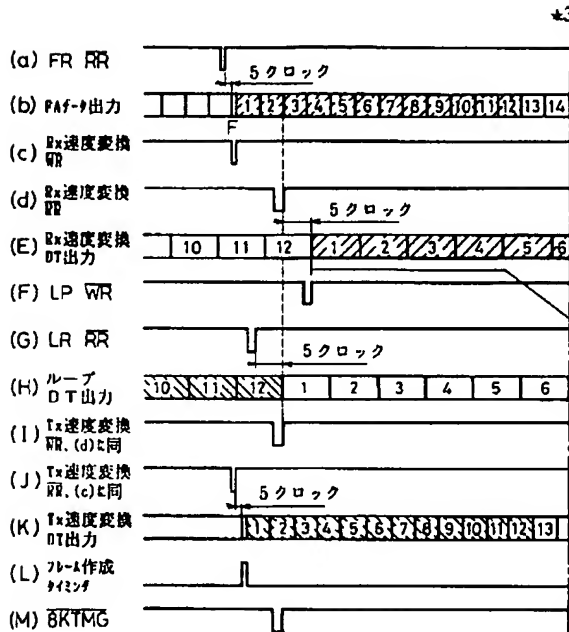
データレート384kbpsの時の実施例の回路の波形成図(右)





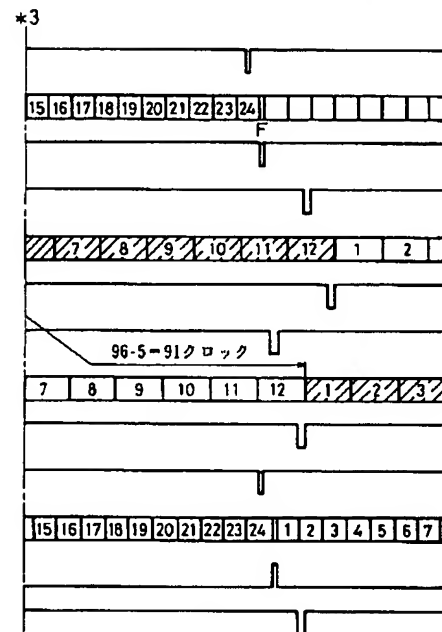
【図10】

データレート768kbpsの時の実施例の回路の波形図(左)



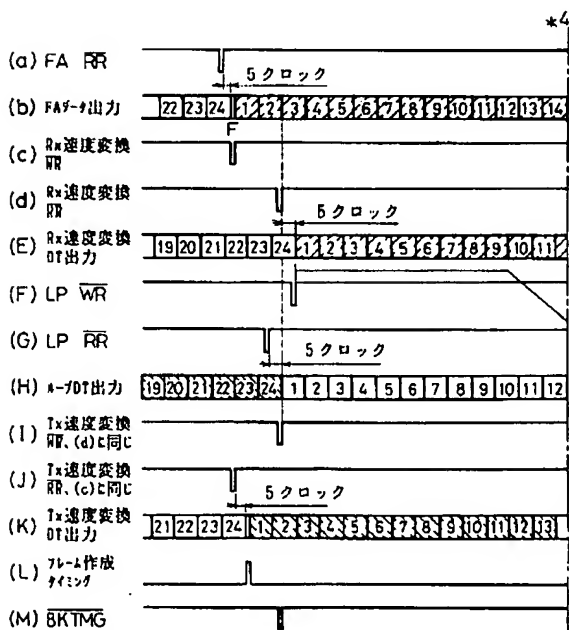
【図11】

データレート768kbpsの時の実施例の回路の波形図(右)



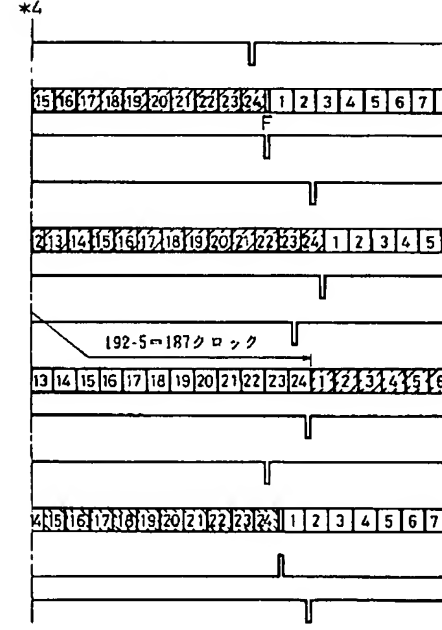
【図12】

データレート1536kbpsの時の実施例の回路の波形図(左)



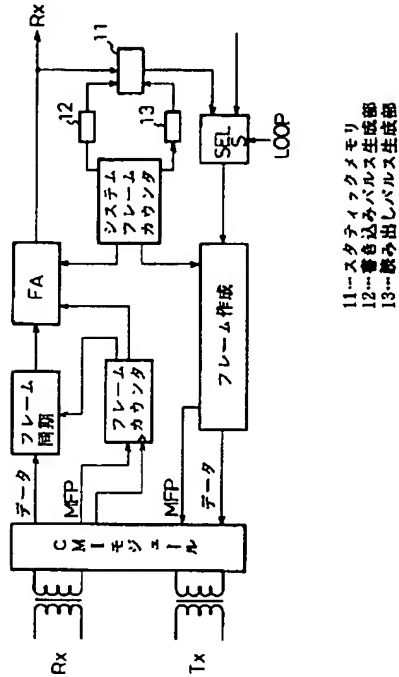
【図13】

データレート1536kbpsの時の実施例の回路の波形図(右)



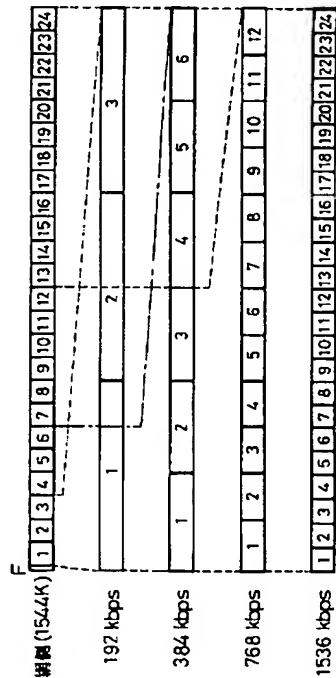
【図14】

従来のDCEインタフェース装置のブロック図



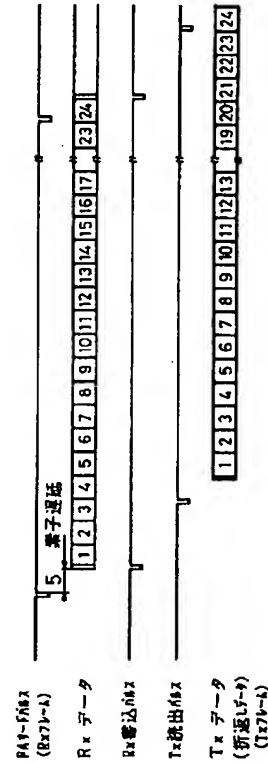
【図18】

ビットストリームデータのタイムチャートを示す図



【図16】

受信から送信への折り返し回路のタイムチャートを示す図



【図17】

ビットストリームを扱うDCEインタフェース装置のブロック図

